

Subject:	应用文档	AN21030 Rev 1.1 20131220
Model Name:	CP2124 应用设计指南(该文档所述参数同样适用于 CP2123, 仅调光方式不同)	

## CP2124 应用设计指南

### 1 CP2124 概述

CP2124 是一款特别为白光 LED 驱动而设计的升压型 DC/DC 转换器。采用 16 级脉冲调光, 带 OVP 过压保护功能。

#### 1.1 CP2124 封装图

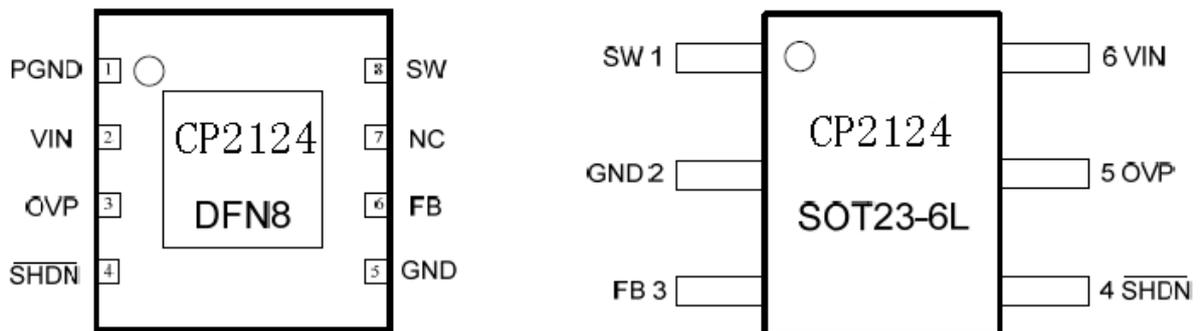


图 1 CP2124 封装图

#### 1.2 CP2124 引脚定义

序号	名称	说明
1	SW	开关引脚, 外部连接电感和肖特基管, 设计时应注意最大限度的缩小该引脚连线的长度以降低 EMI。
2	GND	接地引脚。

3	FB	反馈电压引脚。内部基准电压为 300mV，串联的 LED 最低端的阴极和电流采样电阻与该引脚连接。LED 电流的计算公式为： $I_{LED} = 300mV / R_1$ 。
4	$\overline{\text{SHDN}}$	使能引脚，内置 400K $\Omega$ 的下拉电阻。该引脚电压高于 1.4V，器件开始工作，低于 0.4V，器件进入关闭状态。CP2123 用作 PWM 调光控制引脚，CP2124 用作一线脉冲控制引脚。硬件上须接 10K 电阻到 GND。
5	OVP	过压保护引脚，接 VOUT 电容判断是否过压，默认过压阈值 25V，也可在 VOUT 和 OVP 之间接电阻，调整过压保护电压值。
6	VIN	芯片工作电压引脚。必须加 1 $\mu\text{F}$ 或以上的低 ESR 输入电容，加在该引脚的电压不可超过 5.5V。该电压并不一定需要接驳电感作为 BOOST 的输入电压。

## 2 CP2124 典型应用电路

### 2.1 CP2124 应用原理图

CP2124 应用原理图见图 2，图中所示为 10 颗 LED 串联 20mA 的负载情况，输出电压约 32V，输出电流为 20mA。当输入电压 3.6V 时，输入平均电流约 244mA。电感 L1 推荐采用一个饱和电流大于 500mA、10 $\mu\text{H}$  具备低磁芯损耗和低 DCR 的电感（建议 DCR 小于 0.4 欧姆）。D1 推荐采用一个反向击穿电压不低于 50V，导通电流大于 500mA 的肖特基二极管。输出电容 COUT 推荐采用至少 1 $\mu\text{F}$  以上，耐压 50V 的 X7R 陶瓷电容。OVP 接 250K 电阻，保护电压约 37.5V。

当负载不同时，外围器件参数需要进行一定的调整，以提高效率。

为了防止输出电压过冲，需要加负载测试，避免空载测试。

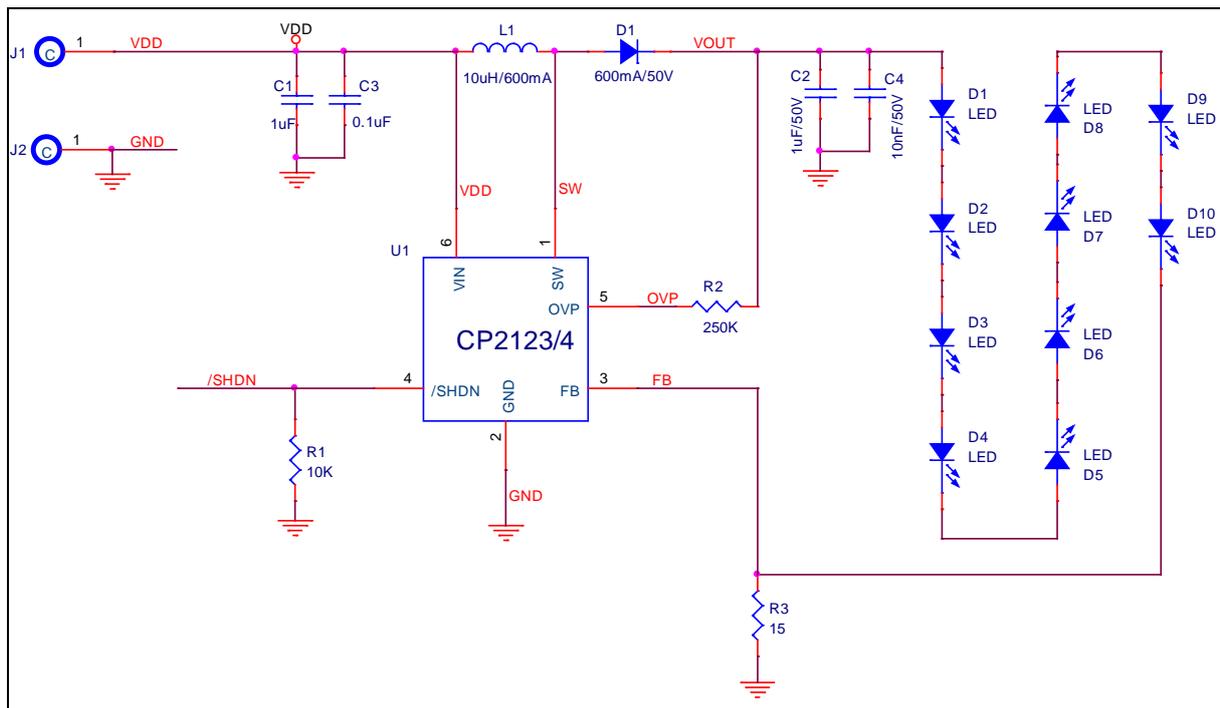


图 2 CP2124 应用原理图

## 2.2 不同负载对应外围器件参数

LED 数量	排列方式	输出电流	电感	二极管	输出电容	OVP 电阻
8	单串 8 颗	20mA	10uH/500mA	400mA/50V	1uF/50V	120K
10	单串 10 颗	20mA	10uH/500mA	500mA/50V	1uF/50V	250K
10	2 串 5 颗	40mA	10uH/500mA	500mA/50V	1uF/50V	0
12	单串 12 颗	20mA	10uH/600mA	600mA/50V	1uF/50V	300K
12	2 串 6 颗	40mA	10uH/600mA	600mA/50V	1uF/50V	0

## 2.3 OVP 的设置

建议 OVP 的值比 VOUT 的值约大 5V，防止输出电压过冲时误启动 OVP 功能。

## 2.4 SHDN 脚的使用

为防止芯片 SHDN 脚受 PCB 上耦合信号的干扰，硬件上需要加一个 10K 的下拉电阻到 GND。

## 2.5 FB 管脚的保护

由于 FPC 排线上的 LED+ (VOUT) 和 LED- (FB) 通常相邻排布，在生产中连接 FPC 排线时须注意短路风险，防止 VOUT 上的高压击穿 FB，造成电流过大、无法调光。

## 2.6 PCB LAYOUT 注意事项

- 滤波电容 C1, C3 尽量靠近 VIN, 电源先经过电容再接到 VIN。
- 滤波电容 C2, C4 注意走线，保证不分叉。
- 电感尽量靠近 CP2124, SW 走线尽量短降低 EMI。
- R3 尽量靠近芯片 FB 管脚。